

# リチウムイオン電池保護用(2セル直列用) Monolithic IC MM3112 Series

## 概要

本ICは、高耐圧CMOSプロセスによるリチウムイオン/リチウムポリマ2次電池の過充電、過放電保護機能、レギュレータの機能を1チップ化したICです。レギュレータを搭載しているため、他のガスゲージIC、セキュリティICなどと併用可能です。リチウムイオン/リチウムポリマ電池2セルの保護として過充電、過放電の検出が可能です。充電、放電制御は2つの外付けPch MOS FETを使用して制御します。

## 特長

- (1) 過充電検出電圧 4.0~4.5V 5mVステップで選択可能 精度±25mV
- (2) 過放電検出電圧 2.0~3.0V 100mVステップで選択可能 精度±80mV
- (3) 遅延時間用の外付けコンデンサ不要(遅延時間は内蔵回路にて設定)
- (4) レギュレータ部 出力電圧 2.0~4.0V 0.2Vステップで選択可能 精度 ±3%
- (5) レギュレータ部 負荷電流 100mA max.
- (6) 動作温度範囲 -40~85°C

## パッケージ

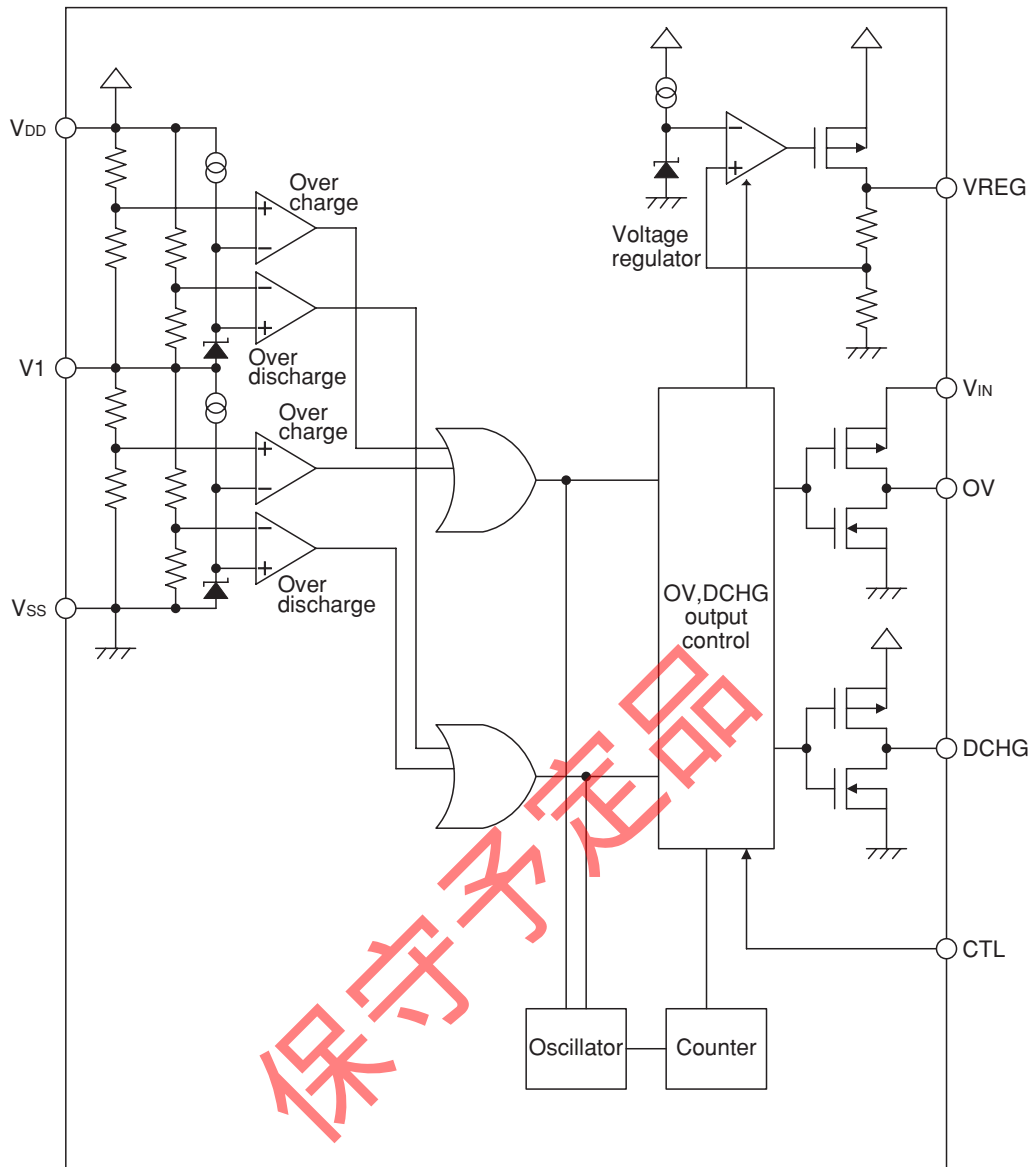
VSOP-10A

## 用途

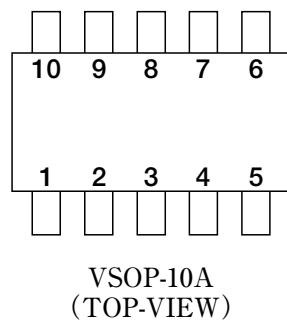
- (1) リチウムイオン2直電池バッテリーパック

保持予定品

ブロック図



端子接続図



1	DCHG
2	V <sub>DD</sub>
3	V <sub>1</sub>
4	V <sub>SS</sub>
5	V <sub>SS</sub>
6	V <sub>SS</sub>
7	VREG
8	CTL
9	V <sub>IN</sub>
10	OV

端子説明

ピンNo.	記号	入出力	機能
1	DCHG	出力	過放電検出出力端子。CMOS出力。 ・通常時 : "Low" ・過放電時 : "High"
2	V <sub>DD</sub>	入力	ICの電源及びV2セルのHighサイド電圧の入力端子。
3	V1	入力	V1セルのHighサイド電圧及びV2セルのLowサイド電圧の入力端子。
4	V <sub>SS</sub>	入力	ICのグラウンド及びV1セルのLowサイド電圧の入力端子。
5	V <sub>SS</sub>	入力	ICのグラウンド及びV1セルのLowサイド電圧の入力端子。
6	V <sub>SS</sub>	入力	ICのグラウンド及びV1セルのLowサイド電圧の入力端子。
7	VREG	出力	ボルテージレギュレータの出力端子。(3.3V)
8	CTL	入力	充電用FET及び放電用FETの制御端子。 ・CTL = "Low" : DCHG = "Low" 通常状態 : OV = "Low" 通常状態 ・CTL = "High" or "Open" : DCHG = "High" 放電禁止 : OV = "High" 充電禁止
9	V <sub>IN</sub>	入力	充電器電圧入力端子。
10	OV	出力	過充電検出出力端子。CMOS出力。 ・通常時 : "Low" ・過充電時 : "High"

最大定格

(Ta=25°C)

項目	記号	定格	単位
保存温度	T <sub>STG</sub>	-55~+125	°C
動作温度	T <sub>OPR</sub>	-40~+85	°C
電源電圧	V <sub>DD max.</sub>	V <sub>SS</sub> -0.3~V <sub>SS</sub> +24	V
V <sub>IN</sub> 端子印加電圧	V <sub>VIN max.</sub>	V <sub>SS</sub> -0.3~V <sub>SS</sub> +24	V
OV 端子印加電圧	V <sub>OV max.</sub>	V <sub>SS</sub> -0.3~V <sub>IN</sub> +24	V
DCHG 端子印加電圧	V <sub>DCHG max.</sub>	V <sub>SS</sub> -0.3~V <sub>DD</sub> +0.3	V
CTL 端子印加電圧	V <sub>CTL max.</sub>	V <sub>SS</sub> -0.3~V <sub>DD</sub> +0.3	V
許容損失	Pd	300	mW

推奨動作条件

項目	記号	定格	単位
動作温度	T <sub>OPR</sub>	-40~+85	°C
電源電圧	V <sub>OPR</sub>	V <sub>SS</sub> +2.0~V <sub>SS</sub> +18	V

**電気的特性** (特記なき場合Ta=+25°C、VIN=VDD、VCELL=3.5V)

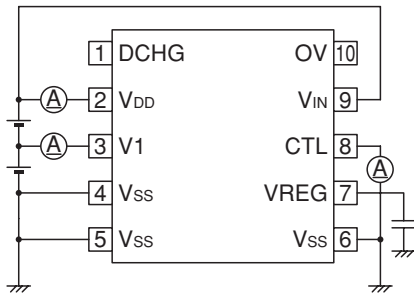
項目	記号	測定条件	最小	標準	最大	単位	測定回路 ※2
消費電流	I <sub>DD</sub>	V <sub>CELL</sub> = 3.5V, I <sub>OUT</sub> = 0mA		10	20	μA	A
スタンバイ電流	I <sub>S</sub>	V <sub>CELL</sub> = 1.8V, I <sub>OUT</sub> = 0mA			0.1	μA	B
V1端子入力電流	I <sub>V1</sub>	V <sub>CELL</sub> = 3.5V			± 300	nA	A
過充電検出電圧	V <sub>CELLU</sub>	Ta = 0~+50°C ※1 V <sub>CELL</sub> = 3.5V→4.5V	4.325	4.35	4.375	V	C
過充電解除電圧	V <sub>CELL0</sub>	V <sub>CELL</sub> = 4.5V→3.5V	V <sub>CELLU</sub> - 260mV	V <sub>CELLU</sub> - 200mV	V <sub>CELLU</sub> - 140mV	V	C
過充電検知不感応時間	t <sub>OV</sub>	V <sub>CELL</sub> = 3.5V→4.5V	50	100	150	ms	C
過充電復帰不感応時間	t <sub>OVREL</sub>	V <sub>CELL</sub> = 4.5V→3.5V	10	20	40	ms	C
過放電検出電圧	V <sub>CELLS</sub>	V <sub>CELL</sub> = 3.5V→1.8V	2.22	2.3	2.38	V	D
放電再開電圧	V <sub>CELLD</sub>	V <sub>IN</sub> = V <sub>DD</sub> V <sub>CELL</sub> = 1.8V→3.5V	2.7	2.8	2.9	V	D
過放電検知不感応時間	t <sub>DC</sub>	V <sub>CELL</sub> = 3.5V→1.8V	15	30	45	ms	D
過放電復帰不感応時間	t <sub>DCREL</sub>	V <sub>CELL</sub> = 1.8V→3.5V	10	20	40	ms	D
DCHG端子ソース電流	I <sub>SO</sub> DCH	V <sub>CELL</sub> < V <sub>CELLS</sub> V <sub>DCHG</sub> = V <sub>DD</sub> - 0.5V	20			μA	E
DCHG端子シンク電流	I <sub>SI</sub> DCH	V <sub>DCHG</sub> = 0.5V	20			μA	F
DCHG端子出力電圧H	V <sub>TH</sub> DcH	V <sub>CELL</sub> < V <sub>CELLS</sub> V <sub>DD</sub> - V <sub>DCHG</sub> I <sub>SO</sub> = 20μA			0.5	V	E
DCHG端子出力電圧L	V <sub>TH</sub> DcL	V <sub>DCHG</sub> - V <sub>SS</sub> I <sub>SI</sub> = -20μA			0.5	V	F
OV端子ソース電流	I <sub>SO</sub> OV	V <sub>CELL</sub> < V <sub>CELLU</sub> V <sub>OV</sub> = V <sub>IN</sub> - 0.5V	20			μA	G
OV端子シンク電流	I <sub>SI</sub> OV	V <sub>OV</sub> = 0.5V Ta = -40~85°C ※1	20			μA	F
OV端子出力電圧H	V <sub>TH</sub> OVH	V <sub>CELL</sub> < V <sub>CELLU</sub> V <sub>IN</sub> - V <sub>OV</sub> I <sub>SO</sub> = 20μA			0.5	V	G
OV端子出力電圧L	V <sub>TH</sub> OV L	V <sub>OV</sub> - V <sub>SS</sub> I <sub>SI</sub> = -20μA Ta = -40~85°C ※1			0.5	V	F
CTL端子H電流	I <sub>CTLH</sub>	V <sub>CELL</sub> = 3.5V, V <sub>CTL</sub> = V <sub>DD</sub>			0.1	μA	H
CTL端子L電流	I <sub>CTLL</sub>	V <sub>CELL</sub> = 3.5V, V <sub>CTL</sub> = V <sub>SS</sub>	-3	-1.7		μA	A
CTL端子H電圧	V <sub>CTLH</sub>		V <sub>DD</sub> × 0.8			V	I
CTL端子L電圧	V <sub>CTLL</sub>				0.5	V	I
VREG出力電圧	V <sub>OUT</sub>	V <sub>CELL</sub> = 3.5V, I <sub>OUT</sub> = 1mA	3.221	3.300	3.379	V	J
VREG入力安定度	ΔV <sub>OUT1</sub>	V <sub>CELL</sub> = 2.4V→6V, I <sub>OUT</sub> = 1mA		5	15	mV	J
VREG負荷安定度	ΔV <sub>OUT2</sub>	V <sub>CELL</sub> = 3.5V, I <sub>OUT</sub> = 1→20mA		40	80	mV	J

※1: 設計保証値となります。

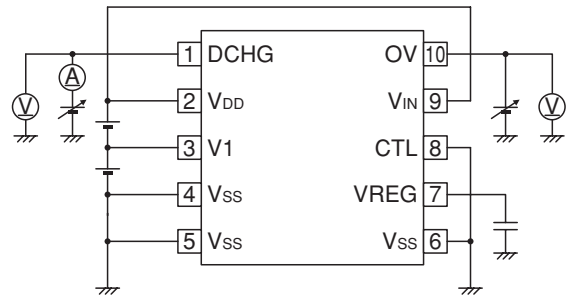
※2: 次ページの測定回路に対応した記号です。

測定回路図

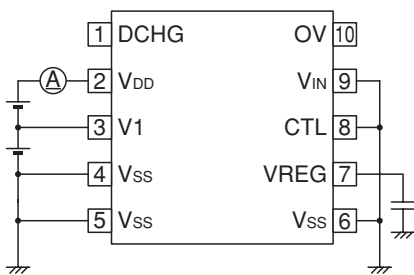
A



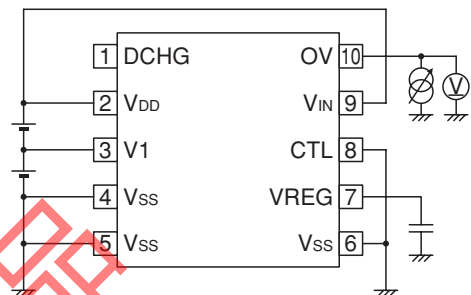
F



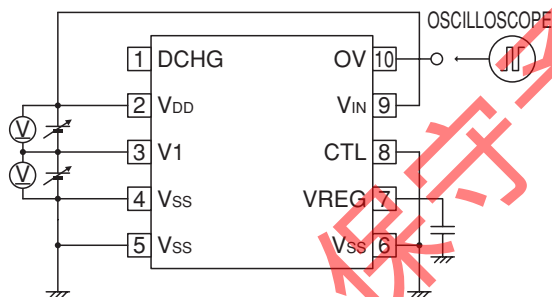
B



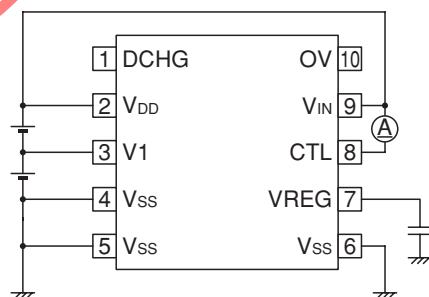
G



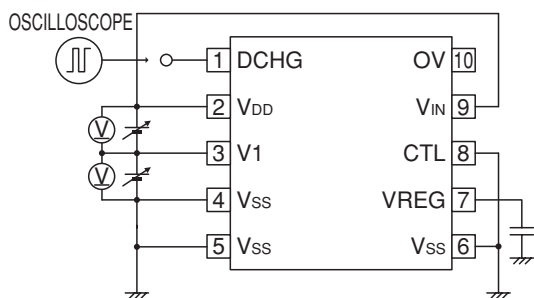
C



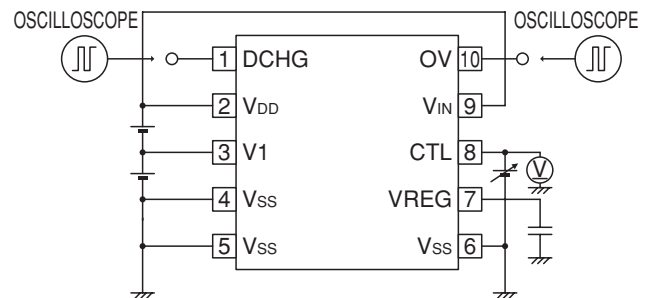
H



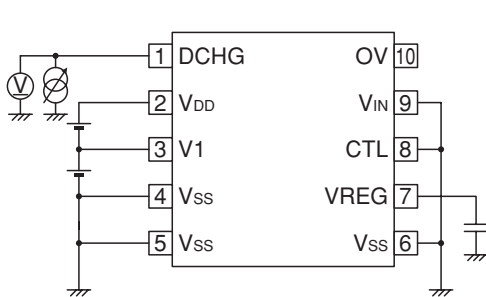
D



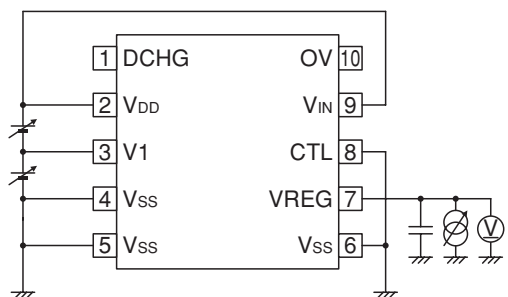
I



E

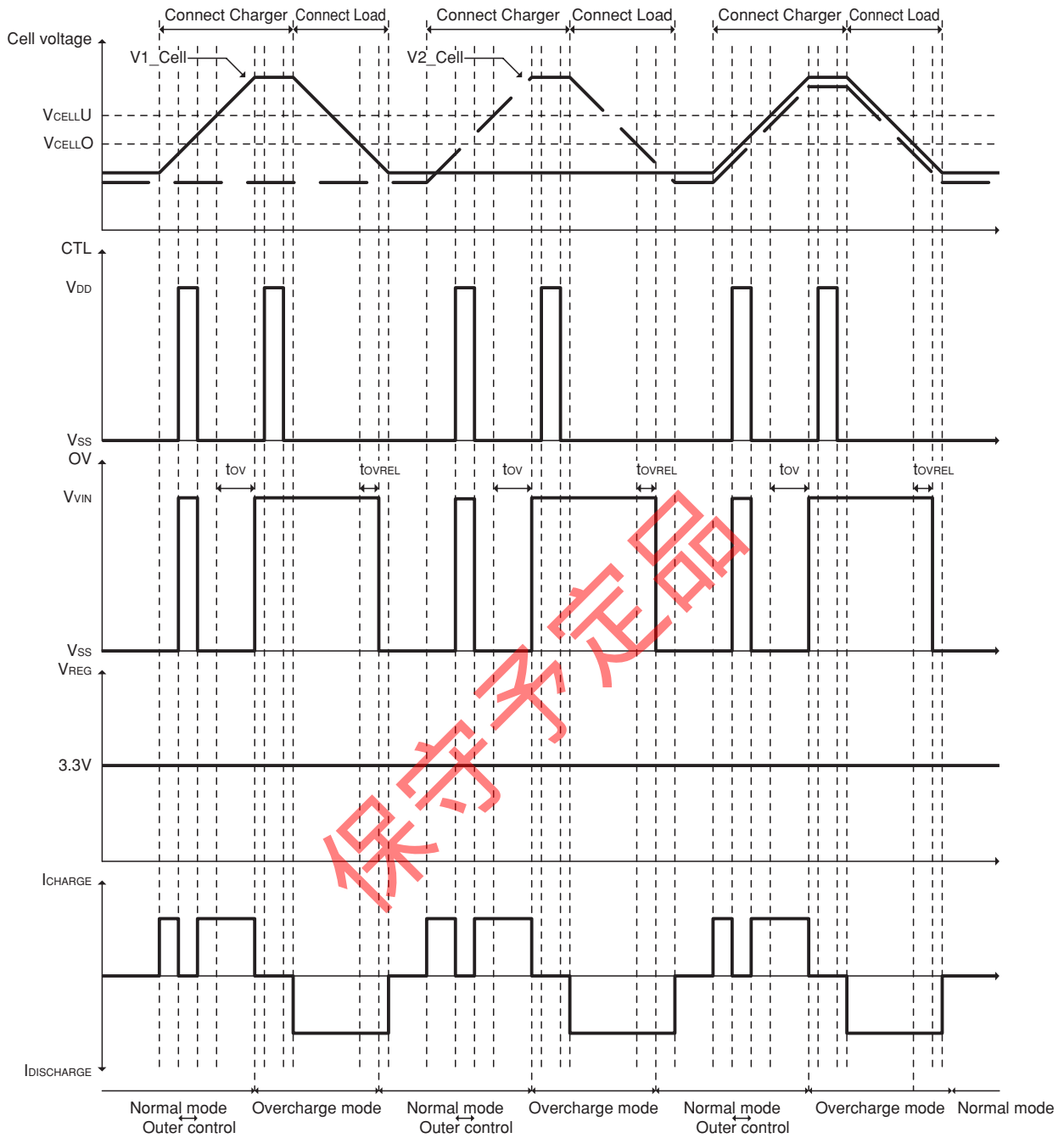


J

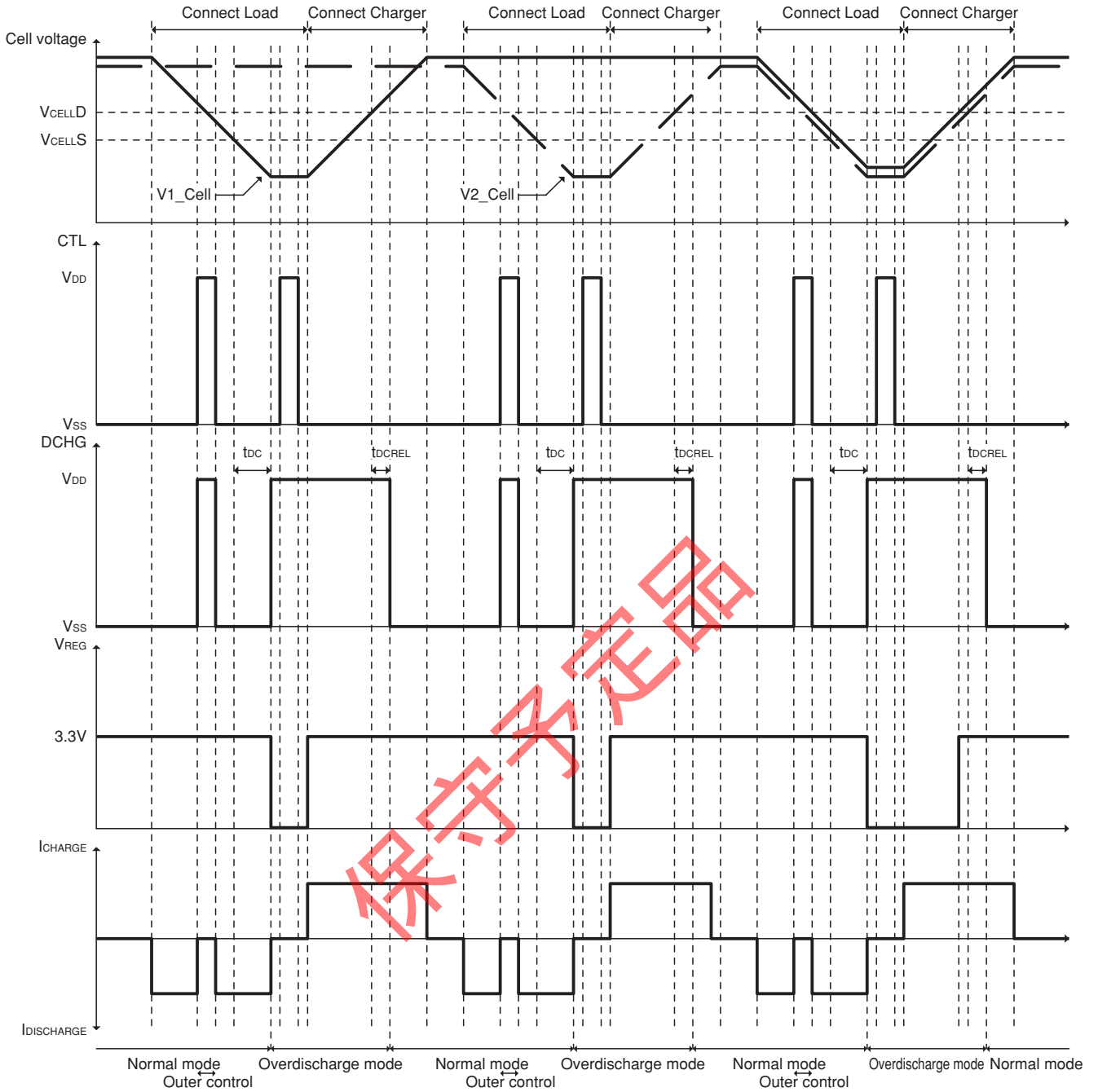


タイミングチャート

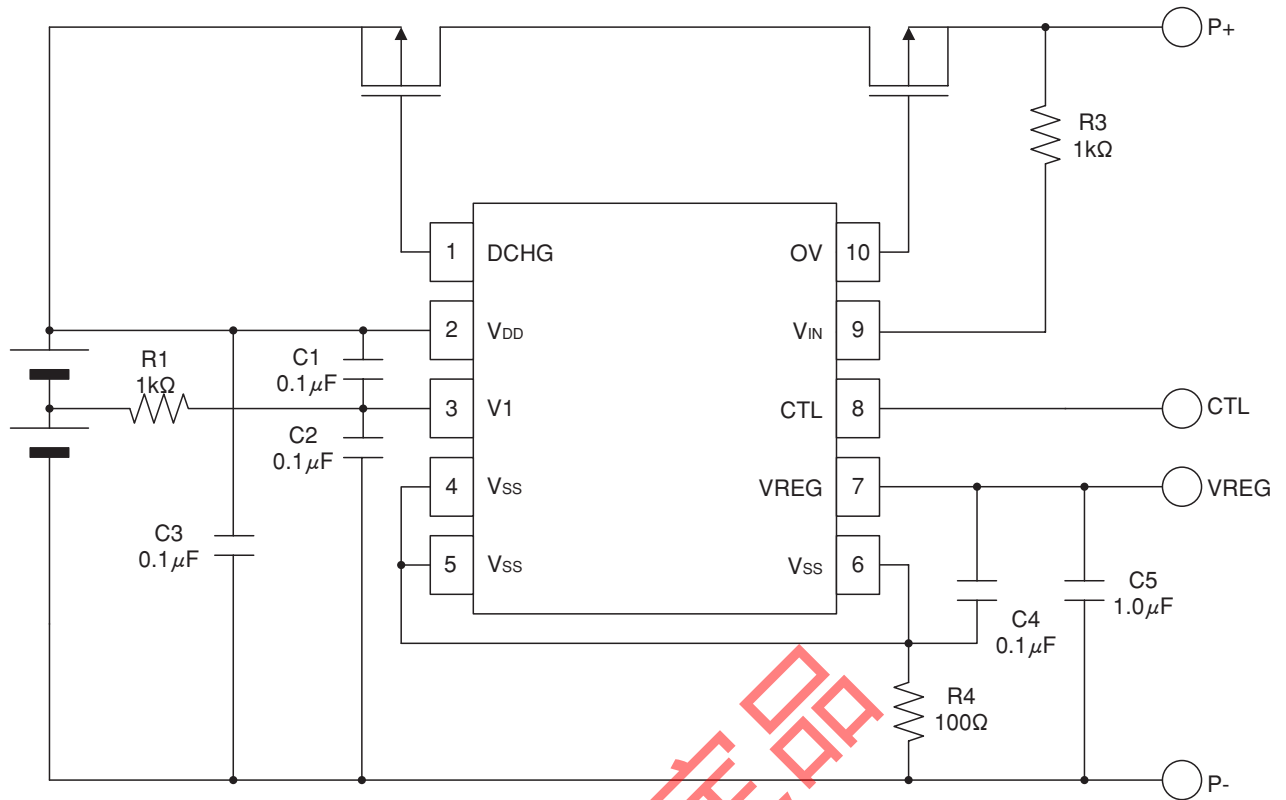
Overchage Function



Overdischarge Function



応用回路図



- ・これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くをお願いします。
- ・これらの回路を使用した事に起因する事故あるいは損害等につきましては、当社はその責を負いかねますのでご了承下さい。
- ・これらの回路を使用した事により、弊社または第三者の工業所有権に対する侵害が発生した場合、弊社はその責を負いかねますのでご了承をお願いします。