

I²C BUS制御4入力1出力AVスイッチ Monolithic IC MM1311

'99.6.17

概要

本ICは、TV用に開発したI²C制御による4入力1出力のAVスイッチです。

特長

- (1) I²C BUSによるシリアルコントロール
- (2) 入力4系統、出力1系統
- (3) ビデオ系とオーディオ系のスイッチは独立してコントロール可能
- (4) ビデオ系に6dBアンプ内蔵
- (5) Y/C MIX回路内蔵
- (6) スレーブアドレスの変更が可能 90H、92H可能
- (7) 外部端子よりオーディオミュート可能
- (8) I²C BUSライン(SDA、SCL)電源OFF時もHiインピーダンスを保持
- (9) 3値判別機能内蔵
- (10) パワーONリセット機能内蔵
- (11) 音声入力インピーダンスは、60kΩと30kΩの2種類を用意
MM1311AD:60kΩ MM1311BD:30kΩ

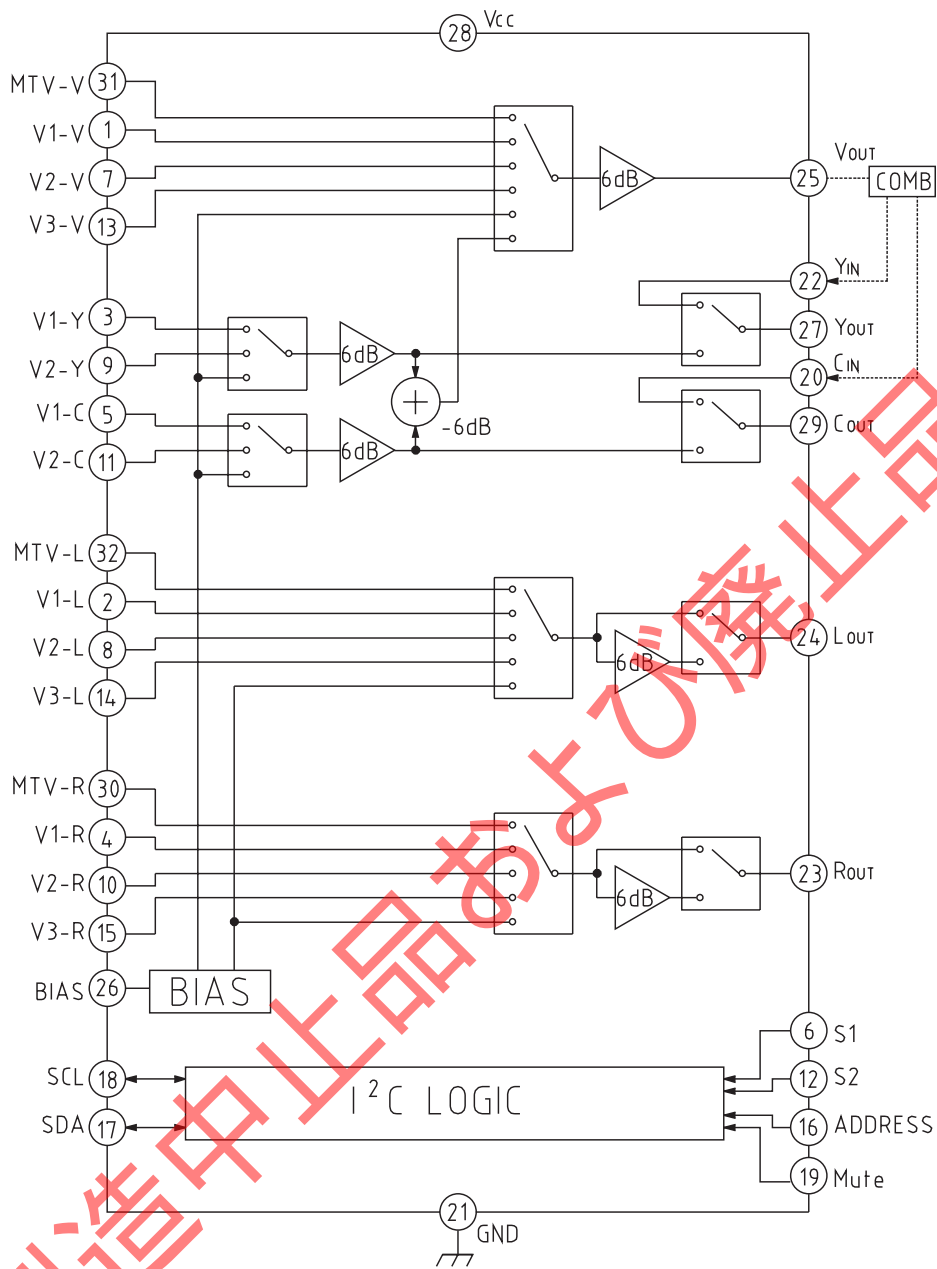
パッケージ

SDIP-32A (MM1311AD, MM1311BD)

用途

- (1) TV
- (2) その他映像機器

ブロック図



端子説明

ピンNo.	端子名	内部等価回路図	ピンNo.	端子名	内部等価回路図
31 1 7 13 3 9 22	MTV-V V1-V V2-V V3-V V1-Y V2-Y YIN		27 29	Yout Cout	
5 11 20	V1-C V2-C CIN		24 23	Lout Rout	
32 2 8 14 30 4 10 15	MTV-L V1-L V2-L V3-L MTV-R V1-R V2-R V3-R		26	BIAS	
25	Vout		18	SCL	
			17	SDA	
			6 12 16 19	S1 S2 ADR Mute	

最大定格

(Ta=25°C)

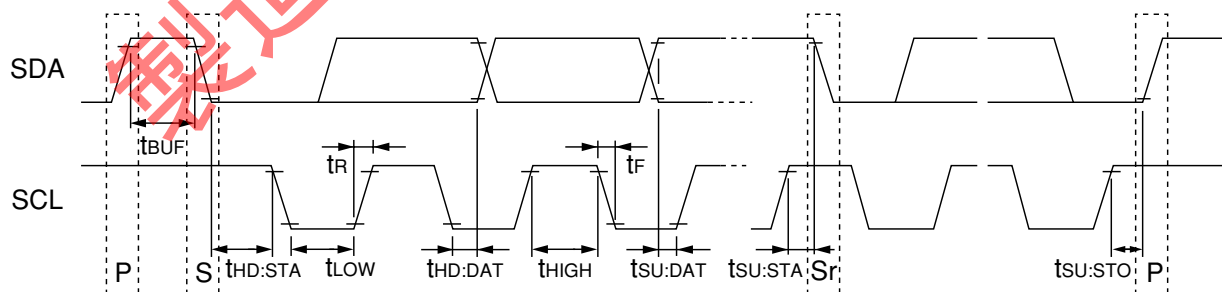
項目	記号	定格	単位
保存温度	TSTG	-40~+125	°C
動作温度	TOPR	-20~+75	°C
電源電圧	VCC	12	V
許容損失	Pd	1500	mW

電気的特性 (Ta=25°C、Vcc=9V)

項目	記号	測定回路	測定条件 (特記なき場合、測定回路図1)	最小	標準	最大	単位
動作電源電圧	Vcc			8	9	10	V
消費電流	Icc	28	Vcc=9V, 無信号, 無負荷		27	35	mA
V_{OUT}出力							
電圧利得	Gv	TP1	正弦波, 1.0V _{P-P} , 100kHz	5.5	6.0	6.5	dB
周波数特性	Fv	TP1	正弦波, 1.0V _{P-P} , 10MHz/100kHz	-1.0	0	1.0	dB
微分利得	DGv	TP1	V _n -V: 階段波, 1V _{P-P} APL = 10~90%	-3	0	3	%
			V _n -Y: 階段波(輝度信号) 1V _{P-P}				
			V _n -C: クロマ信号 0.3V _{P-P} APL = 10~90%				
微分位相	DPv	TP1	V _n -V: 階段波, 1V _{P-P} APL = 10~90%	-3	0	3	deg
			V _n -Y: 階段波(輝度信号) 1V _{P-P}				
			V _n -C: クロマ信号 0.3V _{P-P} APL = 10~90%				
入力ダイナミックレンジ	Dv1	SG 1~3	正弦波, 100kHz 全高調波歪率<1.0%の最大入力	1.6	1.9		V _{P-P}
Y_{OUT}出力							
電圧利得	Gy1	TP2	V _n -Y: 正弦波, 1.0V _{P-P} , 100kHz	5.5	6.0	6.5	dB
	Gy2	TP2	Y _{IN} : 正弦波, 2.0V _{P-P} , 100kHz	-0.5	0	0.5	
周波数特性	Fy1	TP2	V _n -Y: 正弦波, 1.0V _{P-P} 10MHz/100kHz	-1.0	0	1.0	dB
	Fy2	TP2	Y _{IN} : 正弦波, 2.0V _{P-P} , 10MHz/100kHz	-1.0	0	1.0	
微分利得	DGy	TP2	V _n -Y: 階段波, 1V _{P-P} APL = 10~90%	-3	0	3	%
			Y _{IN} : 階段波, 2V _{P-P} , APL = 10~90%				
微分位相	DPy	TP2	V _n -Y: 階段波, 1V _{P-P} APL = 10~90%	-3	0	3	deg
			Y _{IN} : 階段波, 2V _{P-P} , APL = 10~90%				
入力ダイナミックレンジ	Dy1	SG2	V _n -Y: 正弦波 100kHz 全高調波歪率<1.0%の最大入力	1.6	1.9		V _{P-P}
	Dy2	SG4	Y _{IN} : 正弦波, 100kHz 全高調波歪率<1.0%の最大入力				
出力インピーダンス	Zoy				50		Ω
C_{OUT}出力							
電圧利得	Gc1	TP3	V _n -C: 正弦波, 1.0V _{P-P} , 100kHz	5.5	6.0	6.5	dB
	Gc2	TP3	C _{IN} : 正弦波, 2.0V _{P-P} , 100kHz	-0.5	0	0.5	
周波数特性	Fc1	TP3	V _n -C: 正弦波, 1.0V _{P-P} 10MHz/100kHz	-1.0	0	1.0	dB
	Fc2	TP3	C _{IN} : 正弦波, 2.0V _{P-P} , 10MHz/100kHz	-1.0	0	1.0	
微分利得	DGc	TP3	C _{IN} : 階段波, 2V _{P-P} , APL = 10~90%	-3	0	3	%
微分位相	DPc	TP3	C _{IN} : 階段波, 2V _{P-P} , APL = 10~90%	-3	0	3	deg
入力ダイナミックレンジ	Dc1	SG3	V _n -C: 正弦波, 100kHz 全高調波歪率<1.0%の最大入力	2.75	3.25		V _{P-P}
	Dc2	SG5	C _{IN} : 正弦波, 100kHz 全高調波歪率<1.0%の最大入力	5.5	6.5		
入力インピーダンス	Zic		V _n -C, C _{IN}	10	15	20	kΩ
出力インピーダンス	Zoc				50		Ω
L_{OUT}出力							
電圧利得	Gl1	TP4	b7=0, 正弦波, 2.5V _{P-P} , 1kHz	-6.5	-6.0	-5.5	dB
	Gl2	TP4	b7=1, 正弦波, 2.5V _{P-P} , 1kHz	-0.5	0	0.5	
周波数特性	FL	TP4	正弦波, 2.5V _{P-P} , 1MHz/1kHz	-3.0	0	1.0	dB
全高調波歪	THDL	TP4	正弦波, 2.5V _{P-P} , 1kHz		0.03	0.1	%
入力ダイナミックレンジ	DL	SG6	正弦波, 1kHz 全高調波歪率<0.5%の最大入力	2.6	2.8		V _{rms}
出力オフセット電圧	V _{OFFL}	24	SW切り換え時のL _{OUT} 端子DC段差		0	±15	mV
入力インピーダンス	Zil			42	60	78	kΩ
出力インピーダンス	Zol				120		Ω

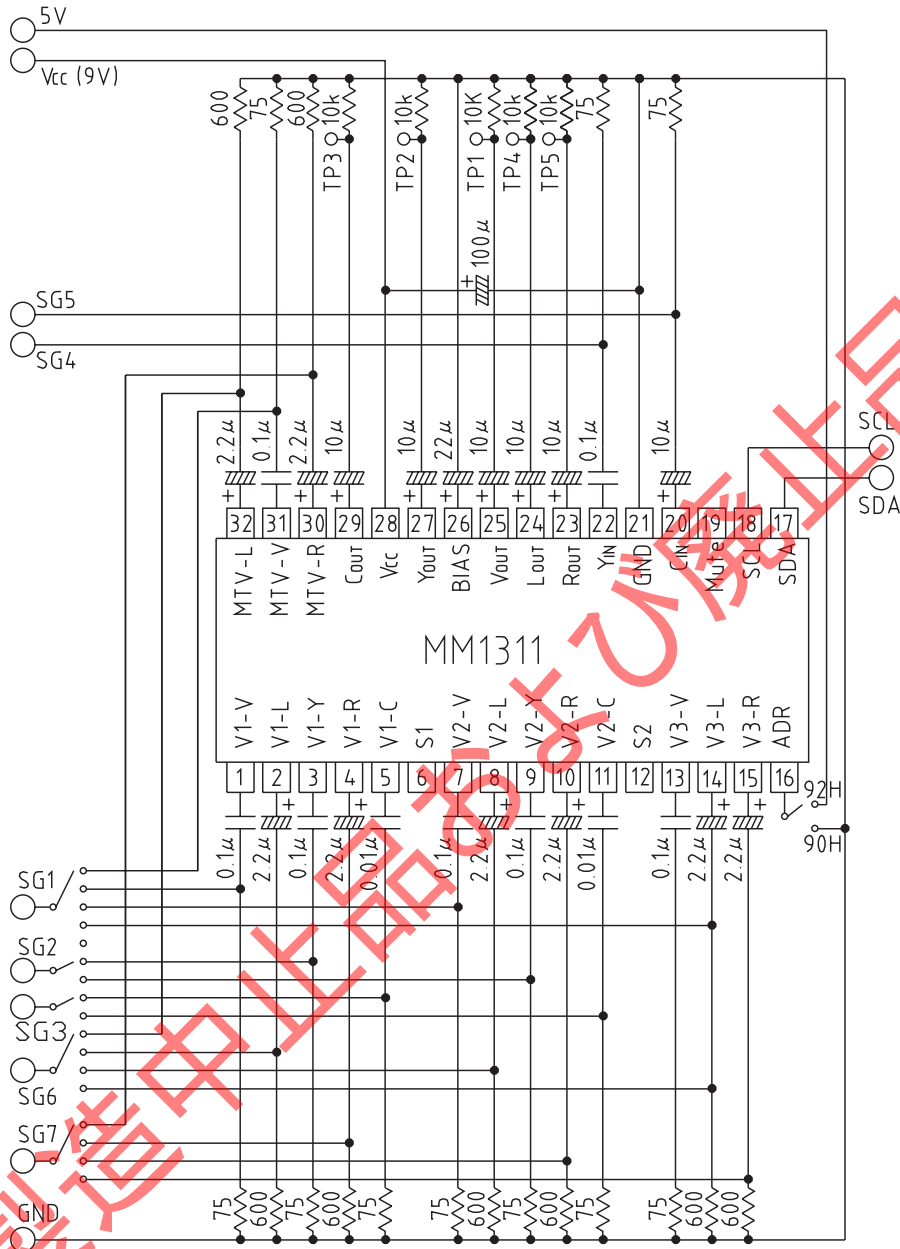
項目	記号	測定回路	測定条件 (特記なき場合、測定回路図1)	最小	標準	最大	単位
R_{OUT}出力							
電圧利得	Gr1	TP5	b7=0, 正弦波, 2.5V _{P-P} , 1kHz	-6.5	-6.0	-5.5	dB
	Gr2	TP5	b7=1, 正弦波, 2.5V _{P-P} , 1kHz	-0.5	0	-0.5	
周波数特性	Fr	TP5	正弦波, 2.5V _{P-P} , 1MHz/1kHz	-3.0	0	1.0	dB
全高調波歪	THDR	TP5	正弦波, 2.5V _{P-P} , 1kHz		0.03	0.1	%
入力ダイナミックレンジ	DR	SG7	正弦波, 1kHz 全高調波歪率<0.5%の最大入力	2.6	2.8		Vrms
出力オフセット電圧	V _{OFFR}	23	SW切り換え時のR _{OUT} 端子DC段差		0	±15	mV
入力インピーダンス	Z _{IR}			42	60	78	kΩ
出力インピーダンス	Z _{OR}				120		Ω
クロストーク							
V _{OUT}	C _{TV}	TP1	測定回路図2 SG1入力時:4.43MHz, 1V _{P-P} SG2入力時:4.43MHz, 0.5V _{P-P}		-60	-53	dB
Y _{OUT}	C _{TY}	TP2				-60	-53
C _{OUT}	C _{TC}	TP3			-60	-53	dB
L _{OUT}	C _{TL}	TP4	測定回路図2 1kHz, 2.5V _{P-P}		-90	-80	dB
R _{OUT}	C _{TR}	TP5				-90	-80
ビデオ系入出力端子電圧							
入力端子電圧	V _{VIP}		無信号, 無負荷	4.0	4.3	4.6	V
出力端子電圧	V _{VOP}		V _{OUT} 端子, 無信号, 無負荷	4.1	4.4	4.7	V
	V _{SOP}		Y _{OUT} 端子, C _{OUT} 端子, 無信号, 無負荷	3.3	3.6	3.9	V
オーディオ系入出力端子電圧							
入力端子電圧	V _{AIP}		無信号, 無負荷	4.6	4.9	5.2	V
出力端子電圧	V _{AOP}		無信号, 無負荷	3.9	4.2	4.5	V
ロジック部(下図参照)							
入力電圧 L	V _{IL}		I ² C論理のLレベル判定値	0.0		1.5	V
入力電圧 H	V _{IH}		I ² C論理のHレベル判定値	3.0		5.0	V
低レベル出力電圧 (SDA)	V _{OL}		SDA 3mA流入時	0.0		0.4	V
高レベル入力電流	I _{IH}		SDA, SCL=4.5V印加時	-10		+10	μA
低レベル入力電流	I _{IL}		SDA, SCL=0.4V印加時	-10		+10	μA
クロック周波数	f _{SCL}					100	kHz
データ転送待ち時間	t _{BUF}			4.7			μs
SCL開始ホールド時間	t _{HD:STA}			4.0			μs
SCL低レベルホールド時間	t _{LOW}			4.7			μs
SCL高レベルホールド時間	t _{HIGH}			4.0			μs
SCL開始セットアップ時間	t _{SU:STA}			4.7			μs
SDAデータホールド時間	t _{HD:DAT}			200			ns
SDAデータセットアップ時間	t _{SU:DAT}			250			ns
SCL立ち上がり時間	t _R					1000	ns
SCL立ち下がり時間	t _F					300	ns
SCL停止セットアップ時間	t _{SU:STO}			4.0			μs

I²C BUSコントロール信号

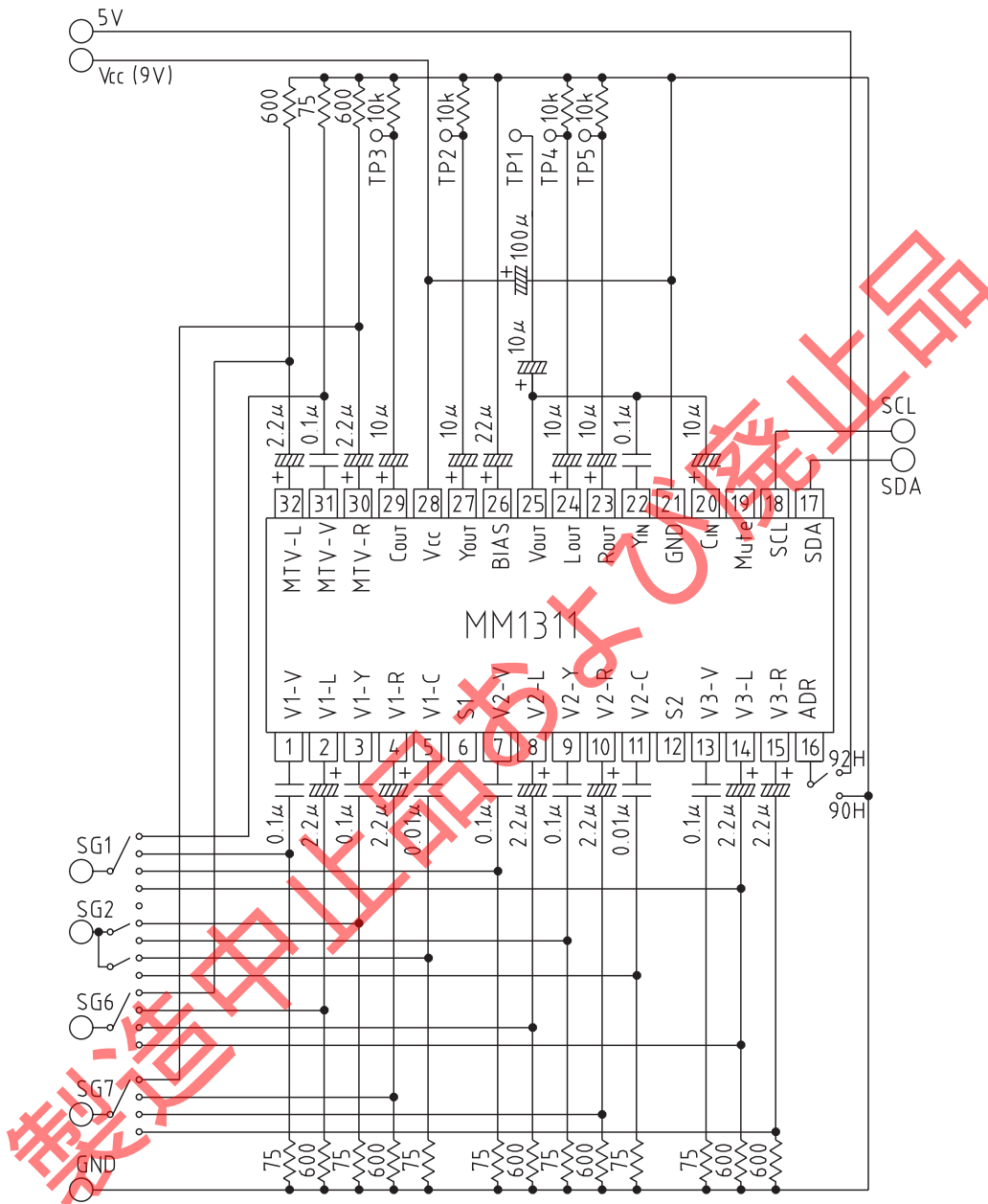


測定回路図

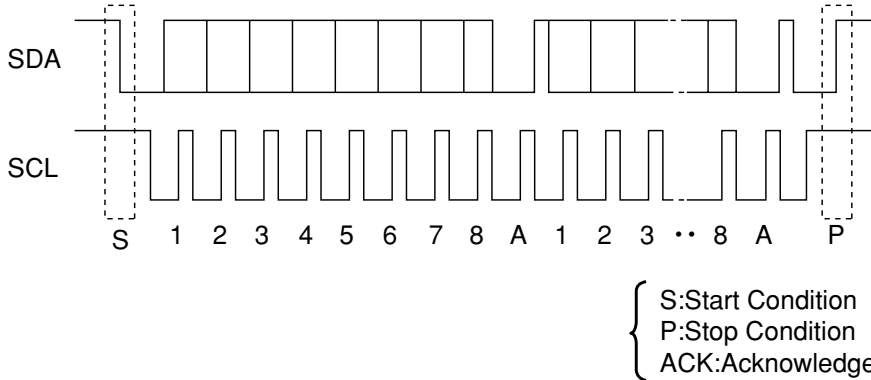
■ 測定回路図1



■ 測定回路図2(クロストーク測定)



I²C BUS



I²C BUS(Inter IC BUS)は、フィリップス社の開発した機器内バスシステムです。SDA, SCLの2ラインでデータの送受信を行ないます。データの送受信はバイト単位で、スタートコンディションからMSBファーストで行なわれます。

【コントロールレジスタ】

コントロールレジスタは各スイッチの状態を決めるため、マスターより送られるデータです。

S	スレーブアドレス							R/W	A	コントロールレジスタ								A	P
	1	0	0	1	0	0	0/1	0		b7	b6	b5	b4	b3	b2	b1	b0		
アドレスバイト								コントロールデータ											

データフォーマットは上図のように設定されています。アドレスバイトの内、先頭7ビットはスレーブアドレスに、残り1ビットがR/Wビットに割り当てられます。コントロールレジスタとして使用する場合はR/Wビットを0に設定します。

MM1311のスレーブアドレスは、ADR端子の状態により90H/92Hを選択することができます。ADR端子がLの時が90Hとなります。コントロールレジスタの各ビットとスイッチの制御内容は下図の関係になっています。

b7	b6	b5	b4	b3	b2	b1	b0
Audio Gain	S/Comp Select	Video - Select			Audio - Select		

コントロールレジスタの各ビットは電源投入時に0にリセットされます。

MM1311ではアドレスバイト1バイトとコントロールデータ1バイトの2バイト構成で制御を行ないます。過長データ(3バイト目以降)については、全て無視する構成となっています。

スイッチの制御内容の詳細については別途添付の表をご参照下さい。

【ステータスレジスタ】

ステータスレジスタはデバイスの状態をマスターへ知らせるためのデータです。

S	スレーブアドレス							R/W	A	コントロールレジスタ								NA	P
	1	0	0	1	0	0	0/1	1		b7	b6	b5	b4	b3	b2	b1	b0		
アドレスバイト									コントロールデータ										

データフォーマットは上図のように設定されています。アドレスバイトの内、先頭7ビットはスレーブアドレスに、残り1ビットがR/Wビットに割り当てられます。ステータスレジスタとして使用する場合にはR/Wビットを1に設定します。

MM1311のスレーブアドレスは、ADR端子の状態により91H/93Hを選択することができます。ADR端子がLの時に91Hとなります。ただし、ステータスレジスタ終了後の確認応答はノンアクノリッジとして下さい。ステータスレジスタの出力データは下図の対応となっています。

b7	b6	b5	b4	b3	b2	b1	b0
P-ON RESET	×	S1 OPEN	S1 SEL	S2 OPEN	S2 SEL	×	×

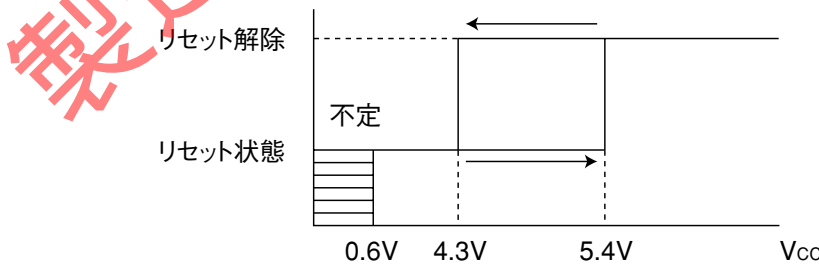
- P-ON RESET: パワーONリセットされると1を返します。ただし、1度データを読み出すと次からは0を返します。
 - S1/S2 OPEN : S1/S2端子がオープンでない場合 0を返します。
S1/S2端子がオープンの場合 1を返します。
 - S1/S2 SEL : S1/S2端子が接地されていない場合 0を返します。
S1/S2端子が接地されている場合 1を返します。
- S1/S2 OPEN・SELは3値判別となっており、下表の組み合わせで出力されます。

S1/S2端子のDC電圧	S1/S2 OPEN	S1/S2 SEL
0.8V以下	0	1
1.3V以上, 3.5V以下	0	0
4.5V以上	1	0

【パワーONリセット】

電源投入時、各コントロールレジスタを0にリセットするためパワーONリセットを内蔵しています。

パワーONリセットのスレッシユホールドは下図に示すようなヒステリシスを持たせております。ICのパワーONリセット状態は、ステータスレジスタのP-ON RESETを読み込むことで判定できます。



スイッチ制御表

(1) ビデオ出力

b6	b5	b4	b3	V _{OUT}	Y _{OUT}	C _{OUT}
0	0	0	0	Mute	Mute	Mute
0	0	0	1	MTV - V	Y _{IN}	C _{IN}
0	0	1	0	V1 - V	Y _{IN}	C _{IN}
0	0	1	1	V2 - V	Y _{IN}	C _{IN}
0	1	0	0	V3 - V	Y _{IN}	C _{IN}
0	1	0	1	Mute	Mute	Mute
		1	1			
1	0	0	0	Mute	Mute	Mute
1	0	0	1	MTV - V	Y _{IN}	C _{IN}
1	0	1	0	V1 - Y + C	V1 - Y	V1 - C
1	0	1	1	V2 - Y + C	V2 - Y	V2 - C
1	1	0	0	V3 - V	Y _{IN}	C _{IN}
1	1	0	1	Mute	Mute	Mute
		1	1			

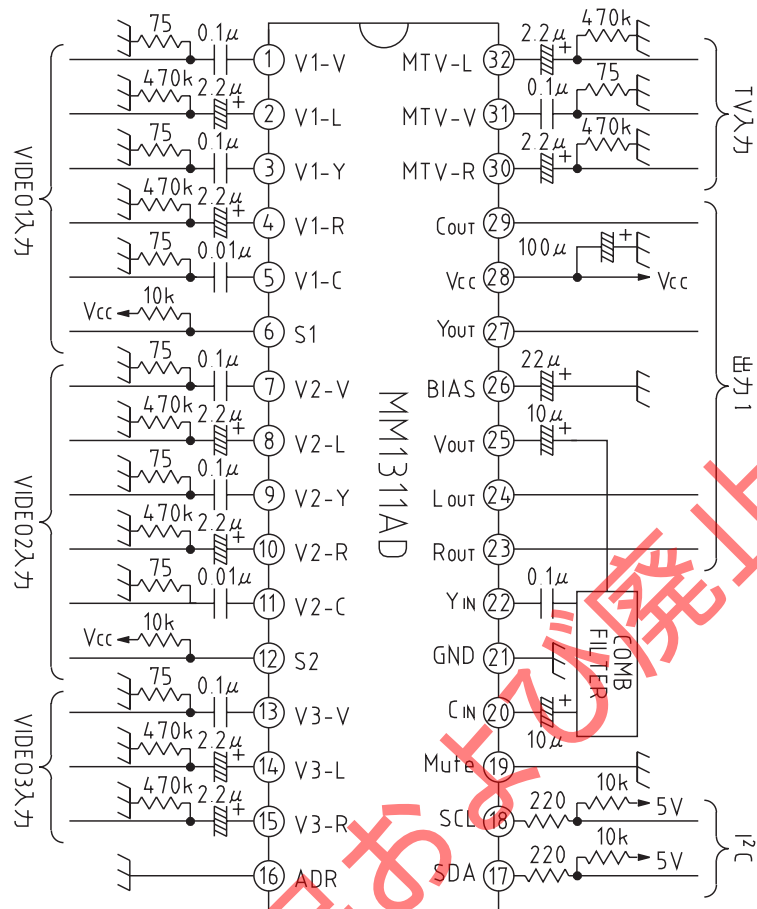
(2) オーディオ出力

Mute端子	b2	b1	b0	L _{OUT}	R _{OUT}
1.5V以下 (OPEN)	0	0	0	Mute	Mute
	0	0	1	MTV - L	MTV - R
	0	1	0	V1 - L	V1 - R
	0	1	1	V2 - L	V2 - R
	1	0	0	V3 - L	V3 - R
	1	0	1	1	Mute
1		1	1		
3.0V以上	-	-	-	Mute	Mute

(3) オーディオゲイン切り換え

b7	出力ゲイン
0	-6dB出力
1	0dB出力

応用回路図



注1: Voutは4.4V、Cinは4.3Vに設定されています。

COMB FILTERのバイアスによっては、容量の極性が異なる場合がありますのでご注意ください。

注2: 各オーディオ出力は19PINをHighにすることでミュートできます。オープン、またはLowの場合はミュートOFFとなります。