

DVDレコーダー用ビデオスイッチ

Monolithic IC MM1697BJ

概要

本ICは、DVDレコーダなどのAD変換前に必要なLPF(アンチ・エイリアシング・フィルタ)を内蔵したビデオスイッチICです。入力は、コンポジットビデオ(CV)3系統、S-Video(Y,C)3系統を備え、出力は、Y/CV_{OUT} 1系統(YとCV兼用)、C_{OUT} 1系統、CV_{OUT} 1系統(V_{IN} or Y_{IN}+C_{IN}を選択)を備えております。

また、S端子接続検出を内蔵しており、AD変換を行うDVDレコーダなどのビデオ入力のスイッチとして最適です。

特長

- (1) 入力系統: コンポジットビデオ入力 …3系統
S-Video(Y, C) …3系統
- (2) 高性能LPF(アンチ・エイリアシング・フィルタ)内蔵
-3dB通過帯域…7MHz (typ.)
10.7MHz減衰量…-36dB (typ.)
13.5MHz減衰量…-40dB (typ.)
27.0MHz減衰量…-37dB (typ.)
- (3) Y+Cアンプ内蔵(Y/C MIX)
- (4) S端子接続検出を2系統内蔵

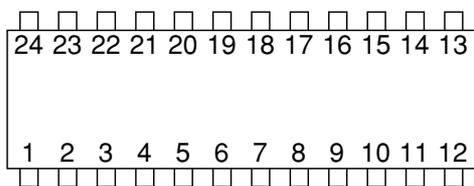
パッケージ

SSOP-24B

用途

DVDレコーダ

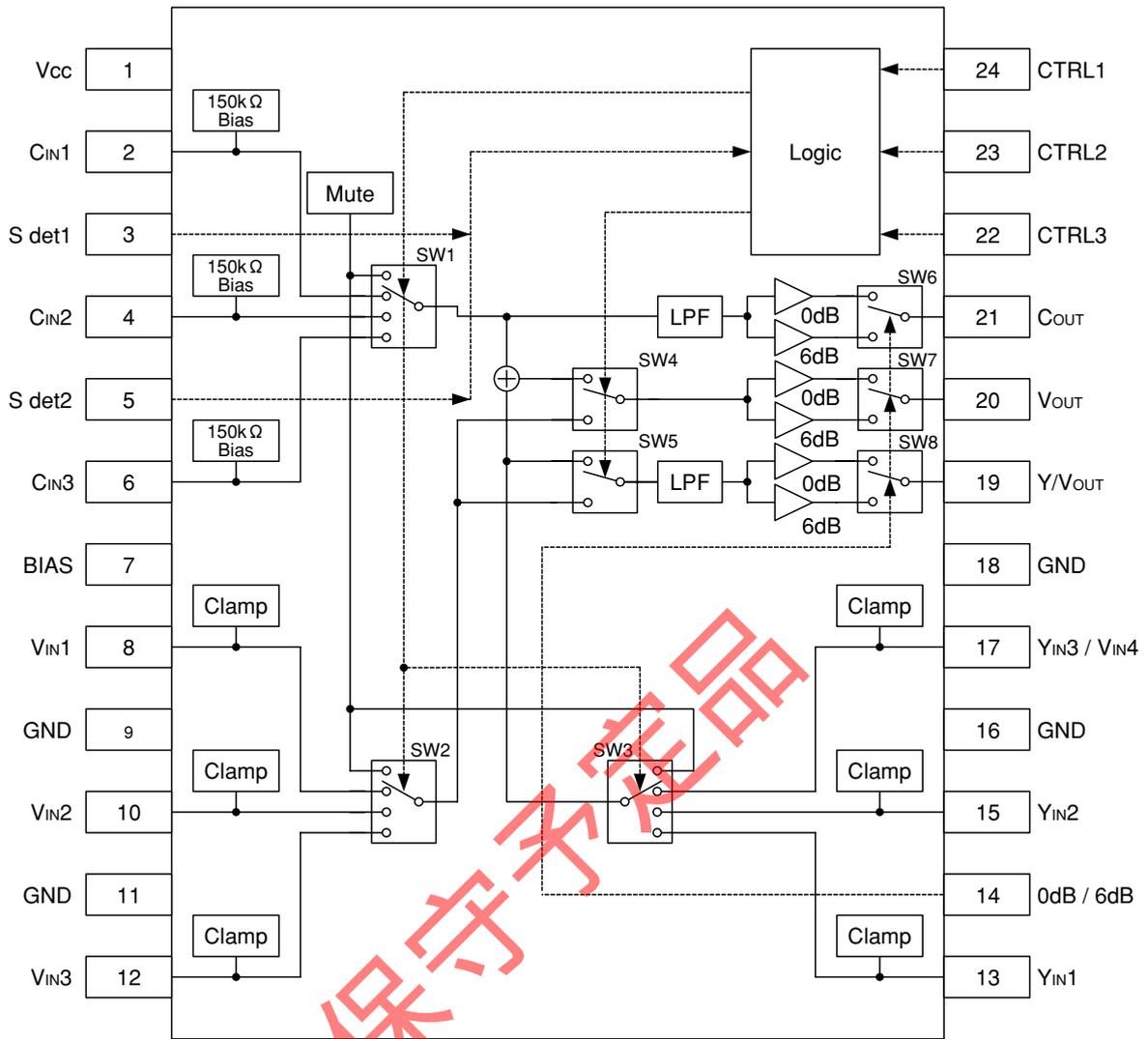
端子接続図



SSOP-24B
(TOP VIEW)

1	V _{CC}	9	GND	17	Y _{IN3} /V _{IN4}
2	C _{IN1}	10	V _{IN2}	18	GND
3	S det1	11	GND	19	Y/V _{OUT}
4	C _{IN2}	12	V _{IN3}	20	V _{OUT}
5	S det2	13	Y _{IN1}	21	C _{OUT}
6	C _{IN3}	14	0dB/6dB	22	CTRL3
7	BIAS	15	Y _{IN2}	23	CTRL2
8	V _{IN1}	16	GND	24	CTRL1

ブロック図



端子説明

ピンNo.	端子名	機能	等価回路図
1	Vcc	Vcc	
2	CIN1	クロマ信号入力	
4	CIN2	150kΩ bias input	
6	CIN3	(Average clamp input)	

ピンNo.	端子名	機能	等価回路図
3 5	Sdet 1 Sdet 2	S端子判別	
7	BIAS	バイアス	
8 10 12	V _{IN1} V _{IN2} V _{IN3}	映像信号入力 (Composite video) Sync tip clamp input	
9 11 16 18	GND	グラウンド	

ピンNo.	端子名	機能	等価回路図
13 15 17	Y _{IN1} Y _{IN2} Y _{IN3} /V _{IN4}	映像信号入力 (Y) Sync tip clamp input	
14	0dB/6dB	0dB/6dB 制御選択	
19 20 21	Y/V _{OUT} V _{OUT} C _{OUT}	信号出力	
22 23 24	CTRL1 CTRL2 CTRL3	制御選択	

保守予定品

最大定格 (Ta=25°C)

項目	記号	定格	単位
保存温度	T _{STG}	-65~+150	°C
動作温度	T _{OPR}	-40~+85	°C
電源電圧	V _{CC max.}	7	V
許容損失	P _d	650	mW

推奨動作条件

項目	記号	定格	単位
動作温度	T _{OPR}	-40~+85	°C
動作電圧	V _{CCOP}	4.5~5.5	V

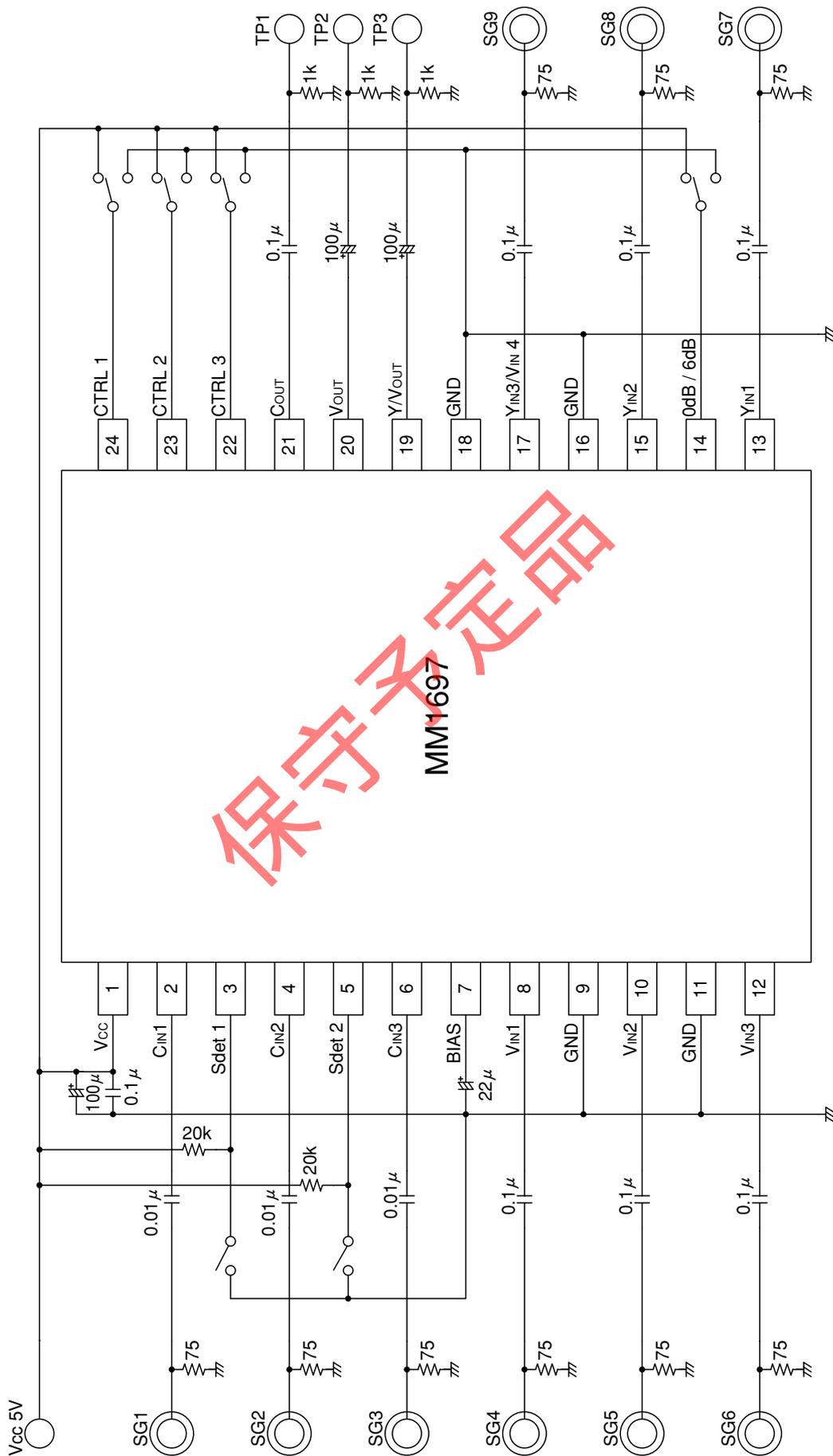
電気的特性 (特記なき場合Ta=25°C、V_{CC}=5V)

項目	記号	測定条件	最小	標準	最大	単位	
消費電流 1	I _{CC1}	No signal	33	48	63	mA	
消費電流 2	I _{CC2}	No signal (at Power saving)	3	5	7	mA	
端子電圧	クロマ入力	V _{CIN1~3} 2, 4, 6 pin	1.6	2.1	2.6	V	
	コンポジットビデオ入力	V _{VIN1~3} 8, 10, 12pin	1.0	1.5	2.0	V	
	輝度入力	V _{YIN 1, 2, YIN3/YIN4} 13, 15, 17 pin	1.0	1.5	2.0	V	
	クロマ出力	V _{COUT} 21 pin	1.6	2.1	2.6	V	
	コンポジットビデオ出力	V _{VOUT}	20 pin (14pin = H)	1.0	1.5	2.0	V
			20 pin (14pin = L)	0.4	0.7	1.0	V
輝度出力	V _{Y/VOUT}	19 pin (14pin = H)	1.0	1.5	2.0	V	
		19 pin (14pin = L)	0.4	0.7	1.0	V	
CTRL端子切替電圧	V _{th1}	22, 23, 24 pin	0.7	1.4	2.1	V	
0dB/6dB端子切替電圧	V _{th2}	14 pin	0.7	1.4	2.1	V	
S det 判別電圧	V _{ths}	3, 5 pin	0.7	1.4	2.1	V	
入力抵抗	Z _{CIN 1~3}	2, 4, 6 pin	100	150	200	kΩ	
出力フォース電流能力	I _{OUT1}	19, 20, 21 pin	4	5		mA	
出力シンク電流能力	I _{OUT2}	19, 20, 21 pin	2.5	3		mA	
電圧利得	G _{1COUT, VOUT, Y/VOUT}	SIN wave:1V f=100kHz	-0.5	0	0.5	dB	
	G _{2COUT, VOUT, Y/VOUT}		5.7	6.0	6.3	dB	
周波数特性	f _{1COUT, VOUT, Y/VOUT}	SIN wave:1V -3dB Bandwidth	6.0	6.6		MHz	
	f _{2COUT, Y/VOUT}	SIN wave:1V 10.74MHz/100kHz		-33	-30	dB	
	f _{3COUT, Y/VOUT}	SIN wave:1V 13.5MHz/100kHz		-40	-37	dB	
	f _{4COUT, Y/VOUT}	SIN wave:1V 27MHz/100kHz		-40	-35	dB	
群遅延時間	t _{GD(COUT, Y/VOUT)}	at 100kHz		85	120	ns	

項目		記号	測定条件	最小	標準	最大	単位
群遅延時間偏差		$\Delta t_{GD(COUT, Y/VOUT)}$	to 3.58MHz		15	30	ns
			to 4.43MHz		25	40	ns
Ch間 群遅延時間偏差		Δt_{chGD}	Between C and Y at 4.43MHz		2	20	ns
微分利得		$DG_{VOUT, Y/VOUT}$	Staircase signal 1V		0.8	1.5	%
微分位相		$DP_{VOUT, Y/VOUT}$	Staircase signal 1V		0.8	1.5	°
入力ダイナミックレンジ		DR_{CIN}	Measure input terminal when sin wave: 100kHz THD=1.0% of output terminal (14pin=H)	1.4	2.5		V
		DR_{VIN}		1.4	2.5		V
		$DR_{Y/VIN}$		1.4	2.5		V
		DR_{CIN}	Measure input terminal when sin wave: 100kHz THD=1.0% of output terminal (14pin=L)	1.4	1.5		V
		DR_{VIN}		1.4	1.5		V
		$DR_{Y/VIN}$		1.4	1.5		V
クロストーク	COUT	CT_{COUT}	Crosstalk to the non-input root. $V_{IN}=1V, f=4.43MHz$				
	VOUT	CT_{VOUT}			-60	-50	dB
	Y/VOUT	$CT_{Y/VOUT}$					
S/N		$SN_{COUT, Y/VOUT}$	BW: 100k~6MHz		70		dB

保守予定品

測定回路図



スイッチ制御表

Input select

S det端子 未使用時

CTRL1	CTRL2	CTRL3	S det1	S det2	Vout	Y/Vout	Cout
L	L	*	H	H	Mute	Mute	Mute
L	H	H			V _{IN1}	V _{IN1}	Mute
		L			C _{IN1} +Y _{IN1}	Y _{IN1}	C _{IN1}
H	L	H			V _{IN2}	V _{IN2}	Mute
		L			C _{IN2} +Y _{IN2}	Y _{IN2}	C _{IN2}
H	H	H			V _{IN3}	V _{IN3}	Mute
		L	C _{IN3} +Y _{IN3}	Y _{IN3}	C _{IN3}		

S det端子 使用時

CTRL1	CTRL2	CTRL3	S det1	S det2	Vout	Y/Vout	Cout
L	L	*	*	*	Mute	Mute	Mute
L	H	H	H	*	V _{IN1}	V _{IN1}	Mute
		*	L	*	C _{IN1} +Y _{IN1}	Y _{IN1}	C _{IN1}
		L	*	*			
H	L	H	*	H	V _{IN2}	V _{IN2}	Mute
		*	*	L	C _{IN2} +Y _{IN2}	Y _{IN2}	C _{IN2}
		L	*	*			
H	H	H	*	*	V _{IN3}	V _{IN3}	Mute
		L	*	*	C _{IN3} +Y _{IN3}	Y _{IN3}	C _{IN3}

注：Sdet端子を使用しない場合、Sdet1, 2=H(Vcc)にすることで、CTRL端子のみで全モード制御できます。

Sdet端子を使用する場合、S判別端子Sdet1、Sdet2にはプルアップ抵抗20kΩが必要です。(3pin、5pin)

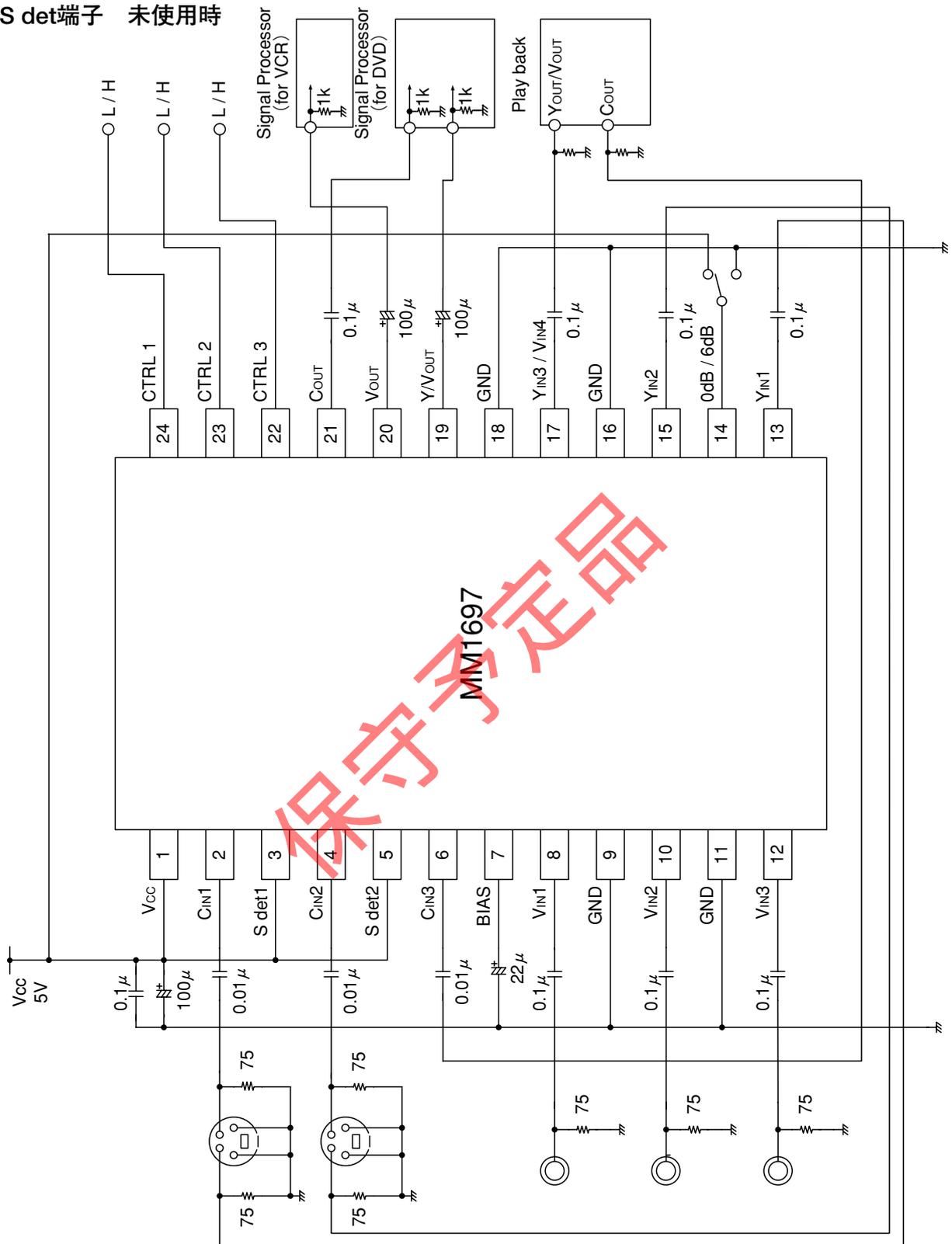
*：無効ビット(H及びL)

Gain select

0dB/6dB	G _{COUT, VOUT, Y/VOUT}
H	0dB
L	6dB

応用回路図

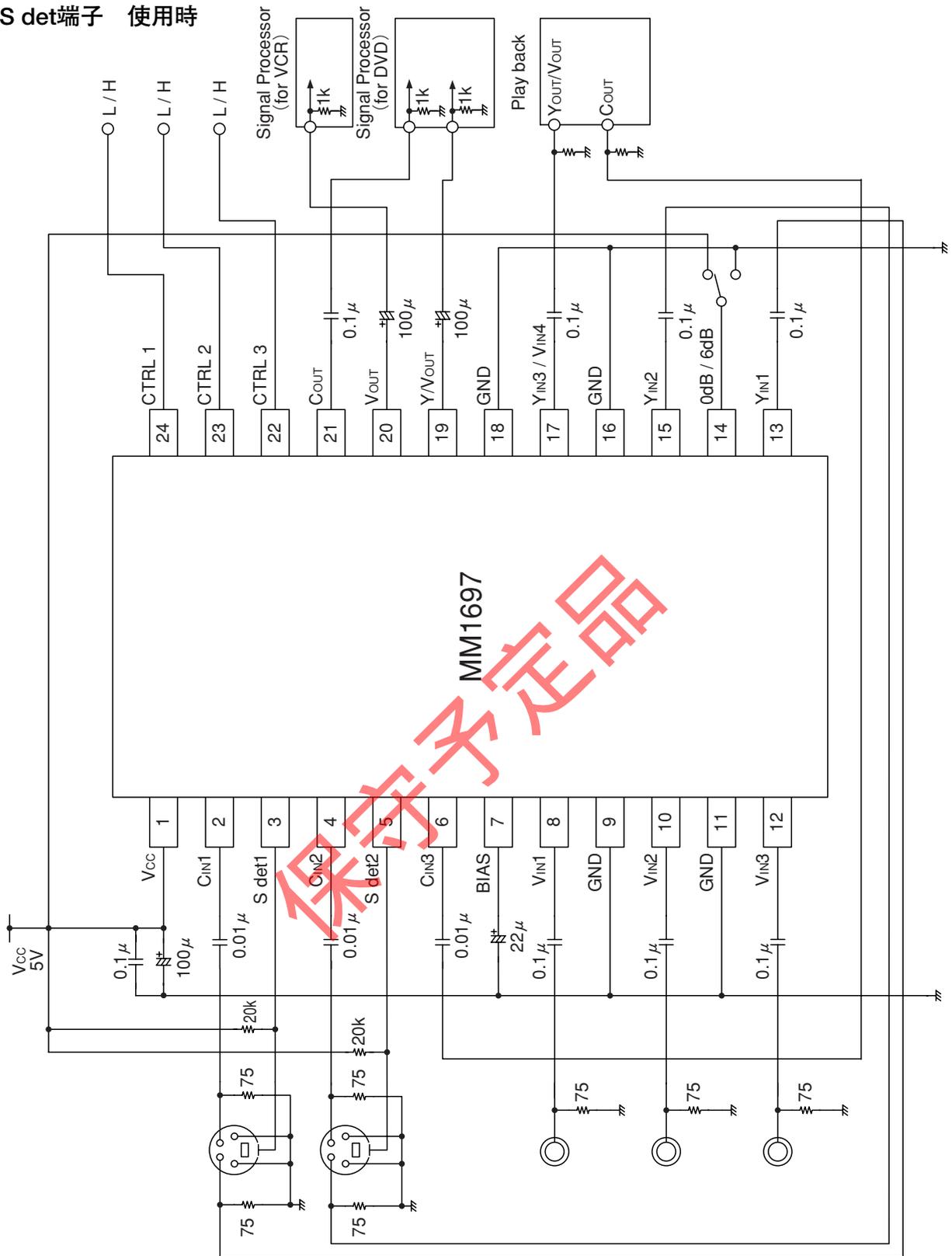
■ S det端子 未使用時



注：S det端子を使用しない場合は、クロストーク対策のため、Sdet端子をVccに接続して下さい。(3, 5pin)

- ・本回路の使用により、何らかの事故あるいは損害が発生した場合、弊社は一切その責を負いませんので、あらかじめご了承下さい。
- ・本回路の使用に際し、弊社または第三者の工業所有権ほか、権利にかかわる問題が発生した場合、弊社はその責を負うものではありません。また実施権の許諾を行なうものではありません。

■ S det端子 使用時



注：基板設計の際に、電源のバイパスコンデンサはVcc端子(1ピン)のできるだけ近くに配置して下さい。
 S判別端子Sdet1、Sdet2にはプルアップ抵抗20kΩが必要です。(3pin、5pin)

- ・本回路の使用により、何らかの事故あるいは損害が発生した場合、弊社は一切その責を負いませんので、あらかじめご了承ください。
- ・本回路の使用に際し、弊社または第三者の工業所有権ほか、権利にかかわる問題が発生した場合、弊社はその責を負うものではありません。また実施権の許諾を行なうものではありません。